3 논리회로

VHDL을 이용한 디지털 회로 입문

이 장에서 다룰 내용

1 기본 회로

2 회로 구성

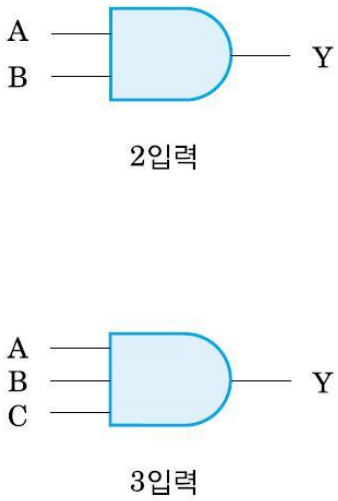
❖ AND 회로

- 모든 입력이 H(High)일 때에만 출력이 H가 되는 회로
- 2개 이상의 입력단자

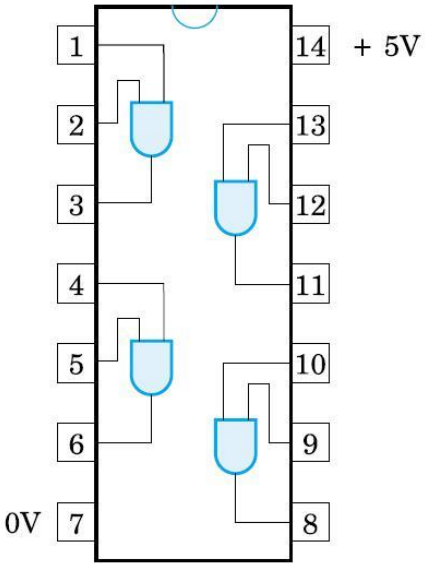
B	A	Y
L	L	L
L	H	L
H	L	L
H	H	H

C	B	A	Y
L	L	L	L
L	L	H	L
L	H	L	L
L	H	H	L
H	L	L	L
H	L	H	L
H	H	L	L
H	H	H	H

(a) 동작표



(b) 회로기호



(c) 74ALS08

[그림 3-1] AND 회로

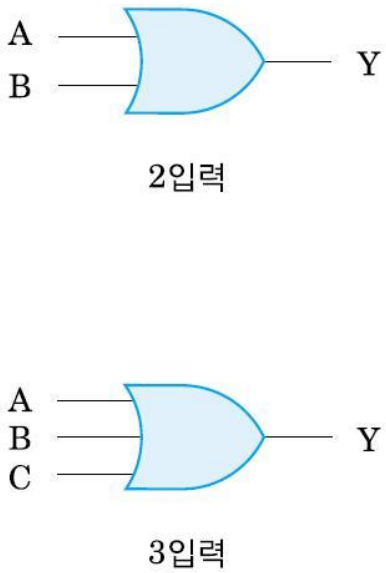
❖ OR회로

- 입력 중 하나라도 H가 되면 출력이 H가 되고 입력 모두가 L(Low)일 때 출력이 L이 되는 회로

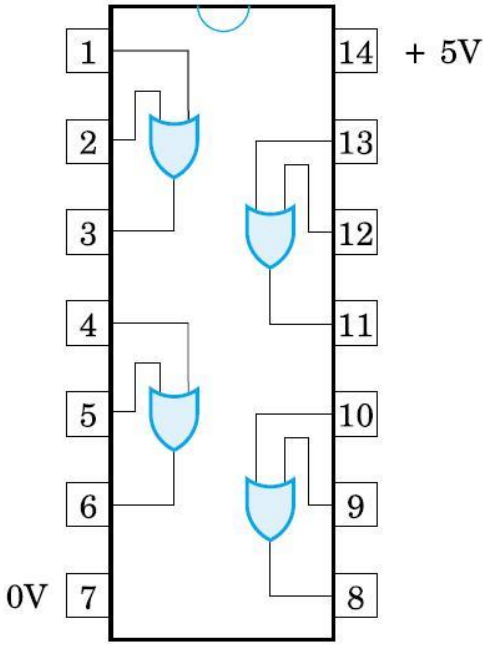
B	A	Y
L	L	L
L	H	H
H	L	H
H	H	H

C	B	A	Y
L	L	L	L
L	L	H	H
L	H	L	H
L	H	H	H
H	L	L	H
H	L	H	H
H	H	L	H
H	H	H	H

(a) 동작표



(b) 회로기호



(c) 74ALS32

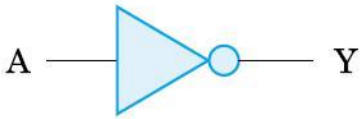
[그림 3-2] OR 회로

❖ NOT회로

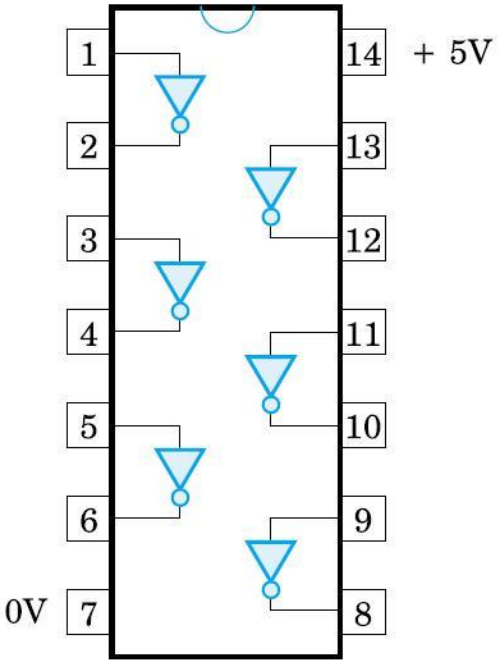
- 입력이 H일 때 출력이 L이 되고, 입력이 L일 때 출력이 H가 되는 회로
- 입력의 반대 신호를 출력하는 회로로 입력은 1개

A	Y
L	H
H	L

(a) 동작표



(b) 회로기호



(c) 74ALS04

[그림 3-3] NOT 회로

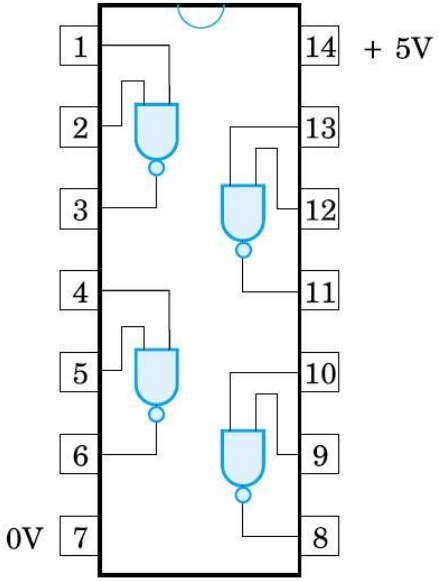
❖ NAND회로

- AND회로의 출력에 NOT회로를 연결
- AND회로의 출력인 L과 H 모두 뒤바뀐 결과

B	A	Y
L	L	H
L	H	H
H	L	H
H	H	L

(a) 동작표

(b) 회로기호



(c) 74ALS00

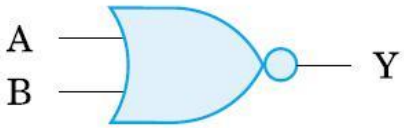
[그림 3-4] NAND 회로

❖ NOR회로

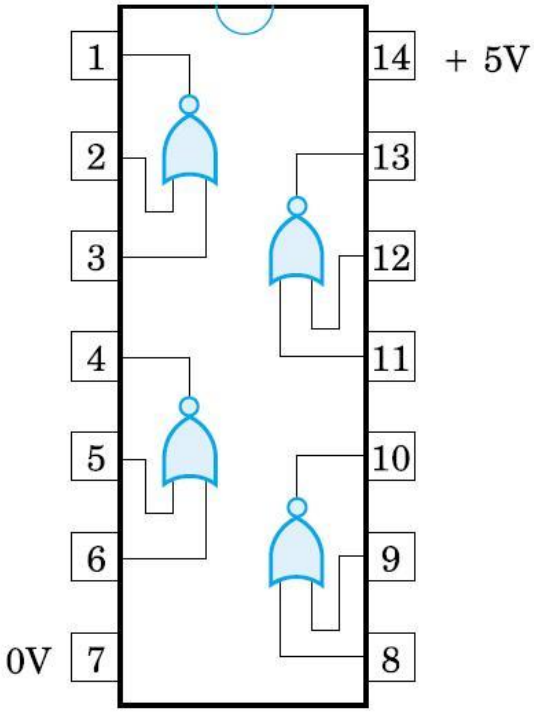
- OR회로의 출력에 NOT회로를 연결

B	A	Y
L	L	H
L	H	L
H	L	L
H	H	L

(a) 동작표



(b) 회로기호



(c) 74ALS02

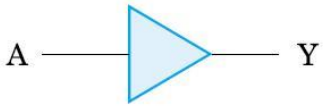
[그림 3-5] NOR 회로

❖ 버퍼회로

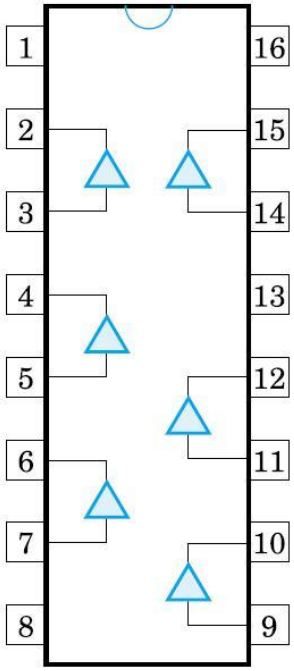
- 버퍼회로 사용 목적
  - 동작전압이 다른 기기와 기기를 접속할 때 버퍼회로를 인터페이스로 사용하여 그 레벨을 조정(ex:5V입력 3.3볼트 출력)
- 입력 논리를 그대로 출력

A	Y
L	L
H	H

(a) 동작표



(b) 회로기호



(c) 74HC4050

[그림 3-6] 버퍼 회로

❖ 조합논리회로(combinational logic circuit)

- 조합회로는 [논리식에 근거하여 AND 회로나 OR 회로 등의 게이트 소자를 조합한 것으로, 입력 값만으로 출력이 결정되고 과거 상태에는 영향을 받지 않는다]는 특징

❖ 순차논리회로(sequential logic circuit)

- 순차회로는 [조합회로와 기억회로로 구성되며 출력은 현재입력과 회로의 현재 상태에 따라 결정된다]는 특징

❖ 조합 회로 설계법

- 곱의 합(SOP) 표준형의 설계법(2단 논리설계)
- 다단 논리 설계법

- 다음의 논리식의 회로를 곱의 합 표준형의 설계법과 다단 논리 설계법에 따라 구성하라

$Y = ((A \cdot B + B \cdot C) \cdot D + E) \cdot F$

- 다단 논리법

$Y = ((A \cdot B + B \cdot C) \cdot D + E) \cdot F$

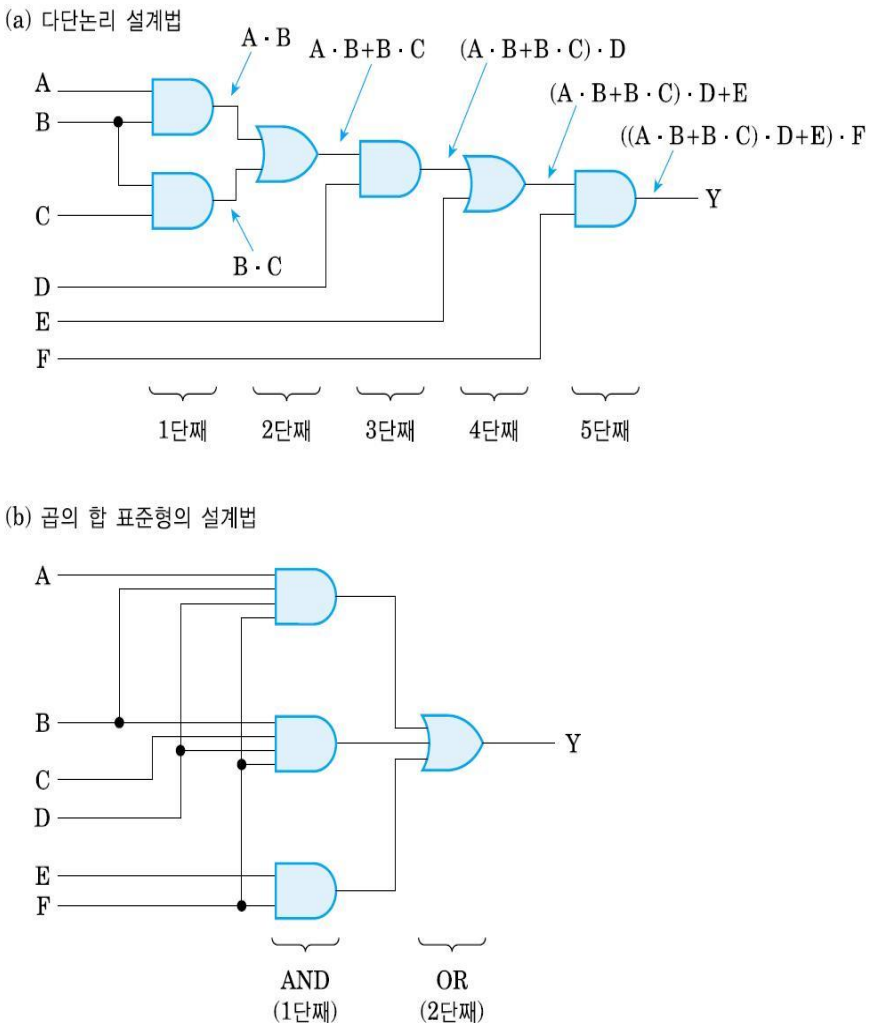
  - 주어진 논리식을 그대로 회로로 변환
  - 회로의 단수가 증가 → 지연시간이 증가하는 단점

- 곱의 합 형 (SOP)

$Y = ((A \cdot B + B \cdot C) \cdot D + E) \cdot F$

$= ABDF + BCDF + DF + EF$

  - 주어진 논리식을 곱의 합 표준형으로 변형
  - 지연시간이 짧은 장점



[그림 3-7] 곱의 합 표준형의 설계법과 다단 논리 설계법

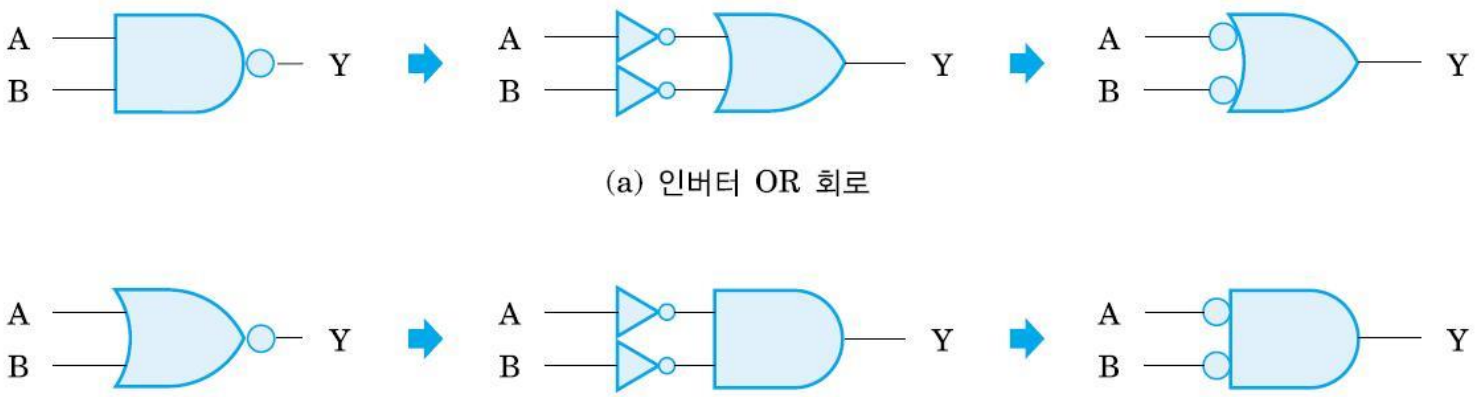
❖ 드모르간 정리에 의한 회로 변환

- **NAND 회로를 OR회로로 변환**

$$Y = \overline{A \cdot B}$$
$$= \overline{A} + \overline{B}$$

- **NOR 회로를 AND회로로 변환**

$$Y = \overline{A + B}$$
$$= \overline{A} \cdot \overline{B}$$



[그림 3-17] 드모르간의 등가 회로